

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-084692
 (43)Date of publication of application : 25.03.1994

(51)Int.CI. H01G 4/12
 C04B 35/46
 C04B 35/64
 H01B 3/12

(21)Application number : 05-085705 (71)Applicant : TDK CORP
 (22)Date of filing : 19.03.1993 (72)Inventor : NAKANO YUKIE
 ARASHI TOMOHIRO
 SATO AKIRA
 NOMURA TAKESHI

(30)Priority
 Priority number : 04208483 Priority date : 13.07.1992 Priority country : JP

(54) MULTILAYER CERAMIC CHIP CAPACITOR

(57)Abstract:

PURPOSE: To realize a multilayer ceramic chip capacitor which can satisfy both temperature characteristics of capacity, i.e., X7R characteristics (EIA regulation) and B characteristics (EIAJ regulation), and in which aging of capacity is slow under DC field and acceleration lifetime of insulation resistance IR is long.

CONSTITUTION: The multilayer ceramic chip capacitor employs a dielectric layer having composition of MgO: 0.1-3mol., MnO: 0.05-1.0-mol., Y2O3: 1mol. or less, BaO+CaO: 2-12mol.(including BaO or CaO=0), and SiO2: 2-12mol. for 100mol. of BaTiO3.

LEGAL STATUS

[Date of request for examination] 11.01.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2762427

[Date of registration] 27.03.1998

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-84692

(43)公開日 平成6年(1994)3月25日

(51)Int.Cl. ⁵	識別記号	序内整理番号	F I	技術表示箇所
H 01 G 4/12	3 5 8			
C 04 B 35/46		D		
	35/64			
H 01 B 3/12	3 0 3	9059-5G		

審査請求 未請求 請求項の数 7(全 11 頁)

(21)出願番号	特願平5-85705	(71)出願人	000003067 ティーディーケイ株式会社 東京都中央区日本橋1丁目13番1号
(22)出願日	平成5年(1993)3月19日	(72)発明者	中野 幸恵 東京都中央区日本橋一丁目13番1号 ティーディーケイ株式会社内
(31)優先権主張番号	特願平4-208483	(72)発明者	嵐 友宏 東京都中央区日本橋一丁目13番1号 ティーディーケイ株式会社内
(32)優先日	平4(1992)7月13日	(72)発明者	佐藤 陽 東京都中央区日本橋一丁目13番1号 ティーディーケイ株式会社内
(33)優先権主張国	日本 (JP)	(74)代理人	弁理士 石井 陽一

最終頁に続く

(54)【発明の名称】 積層型セラミックチップコンデンサ

(57)【要約】

【目的】 容量の温度特性であるX7R特性 (EIA規格) およびB特性 (EIAJ規格) をいずれも満足することができ、かつ、直流電界下での容量の経時変化が小さく、また、絶縁抵抗IRの加速寿命が長い積層型セラミックチップコンデンサを提供する。

【構成】 BaTiO₃ 100モルに対し、MgO: 0.1~3モル、MnO: 0.05~1.0モル、Y₂O₃: 1モル以下、BaO+CaO: 2~12モル (BaOまたはCaO=0を含む)、SiO₂: 2~12モルの組成比の誘電体層を用いる。

i またはN_i合金である請求項1ないし4のいずれかの積層型セラミックチップコンデンサ。

【請求項6】 酸素分圧が10⁻⁸~10⁻¹²気圧である雰囲気中で、1200~1400℃の温度範囲内にて焼成された請求項5の積層型セラミックチップコンデンサ。

【請求項7】 焼成後に、酸素分圧が10⁻⁶気圧以上の雰囲気中で1100℃以下の温度範囲内にてアニールされた請求項5または6の積層型セラミックチップコンデンサ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、積層型セラミックチップコンデンサに関する。

【0002】

【従来の技術】 積層型セラミックチップコンデンサは、小型、大容量、高信頼性の電子部品として広く利用されており、1台の電子機器の中で使用される個数も多数にのぼる。近年、機器の小型・高性能化にともない、積層型セラミックチップコンデンサに対する更なる小型、大容量、低価格、高信頼性化への要求はますます厳しくなっている。

【0003】 積層型セラミックチップコンデンサは通常、内部電極層用のペーストと誘電体層用のペーストとをシート法や印刷法等により積層し、一体同時焼成して製造される。

【0004】 内部電極層の導電材には、一般にPdやPd合金が用いられているが、Pdは高価であるため、比較的安価なN_iやN_i合金等の卑金属が使用されつつある。内部電極層の導電材として卑金属を用いる場合、大気中で焼成を行なうと内部電極層が酸化してしまうため、誘電体層と内部電極層との同時焼成を、還元性雰囲気中で行なう必要がある。しかし、還元性雰囲気中で焼成すると、誘電体層が還元され、比抵抗が低くなってしまうため、非還元性の誘電体材料が提案されている。

【0005】 しかし、非還元性の誘電体材料を用いた積層型セラミックチップコンデンサは、絶縁抵抗IRの寿命が短くなり、信頼性が低いという問題がある。

【0006】 また、誘電体を直流電界にさらすと、比誘電率 ϵ_s が経時に低下するという問題が生じる。チップコンデンサを小型、大容量化するために誘電体層の厚みを薄くすると、直流電圧を印加したときの誘電体層にかかる電界が強くなるため、比誘電率 ϵ_s の経時変化、すなわち容量の経時変化が著しく大きくなってしまう。

【0007】 ところで、EIA規格に定められたX7R特性と呼ばれる規格では、容量の変化率が、-55℃から125℃の間で±1.5%以内（基準温度25℃）と定められている。

【0008】 X7R特性を満足する誘電体材料としては、例えば特開昭61-36170号公報に示されるB

【特許請求の範囲】

【請求項1】 誘電体層と内部電極層とが交互に積層された構成のコンデンサチップ体を有する積層型セラミックチップコンデンサであって、前記誘電体層が、主成分としてチタン酸バリウムを、副成分として酸化マグネシウムと、酸化マンガンと、酸化バリウムおよび酸化カルシウムから選択される少なくとも1種と、酸化ケイ素とを含有し、チタン酸バリウムをBaTiO₃に、酸化マグネシウムをMgOに、酸化マンガンをMnOに、酸化バリウムをBaOに、酸化カルシウムをCaOに、酸化ケイ素をSiO₂にそれぞれ換算したとき、BaTiO₃ 100モルに対する比率が

MgO: 0. 1~3モル、

MnO: 0. 05~1. 0モル、

BaO+CaO: 2~12モル、

SiO₂: 2~12モル

であることを特徴とする積層型セラミックチップコンデンサ。

【請求項2】 前記BaTiO₃、MgOおよびMnOの合計に対し、BaO、CaOおよびSiO₂が(Ba_xCa_{1-x}O)_y·SiO₂（ただし、0. 3≤x≤0. 7、0. 95≤y≤1. 05である。）として1~10重量%含有される請求項1の積層型セラミックチップコンデンサ。

【請求項3】 誘電体層と内部電極層とが交互に積層された構成のコンデンサチップ体を有する積層型セラミックチップコンデンサであって、

前記誘電体層が、主成分としてチタン酸バリウムを、副成分として酸化マグネシウムと、酸化マンガンと、酸化イットリウムと、酸化バリウムおよび酸化カルシウムから選択される少なくとも1種と、酸化ケイ素とを含有し、チタン酸バリウムをBaTiO₃に、酸化マグネシウムをMgOに、酸化マンガンをMnOに、酸化イットリウムをY₂O₃に、酸化バリウムをBaOに、酸化カルシウムをCaOに、酸化ケイ素をSiO₂にそれぞれ換算したとき、BaTiO₃ 100モルに対する比率が

MgO: 0. 1~3モル、

MnO: 0. 05~1. 0モル、

Y₂O₃: 1モル以下、

BaO+CaO: 2~12モル、

SiO₂: 2~12モル

であることを特徴とする積層型セラミックチップコンデンサ。

【請求項4】 BaTiO₃、MgO、MnOおよびY₂O₃の合計に対し、BaO、CaOおよびSiO₂が(Ba_xCa_{1-x}O)_y·SiO₂（ただし、0. 3≤x≤0. 7、0. 95≤y≤1. 05である。）として1~10重量%含有される請求項3の積層型セラミックチップコンデンサ。

【請求項5】 前記内部電極層に含まれる導電材が、N 50

$a \text{TiO}_3 + \text{SrTiO}_3 + \text{MnO}$ 系の組成が知られている。しかし、このものは、直流電界下における容量の経時変化が大きく、例えば 40°C で 50V の直流電界を 1000 時間印加すると、容量の変化率が $-1.0\% \sim -3.0\%$ 程度となってしまい、X7R特性を満足することができなくなる。

【0009】また、この他、非還元性の誘電体磁器組成物としては、特開昭57-71866号公報に開示されている $\text{BaTiO}_3 + \text{MnO} + \text{MgO}$ 、特開昭61-250905号公報に開示されている $(\text{Ba}_{1-x} \text{Sr}_x \text{O})_a \text{Ti}_{1-y} \text{Zr}_y \text{O}_2 + \alpha ((1-z) \text{MnO} + z \text{CoO}) + \beta ((1-t) \text{A}_2 \text{O}_5 + t \text{L}_2 \text{O}_3) + w \text{SiO}_2$ (ただし、 $A = \text{Nb}$, Ta , V , $L = \text{Y}$ または希土類元素)、特開平2-83256号公報に開示されているチタン酸バリウムにガラス状態の $\text{Ba}_{\alpha} \text{Ca}_{1-\alpha} \text{SiO}_3$ を添加したものなどが挙げられる。しかし、これらのいずれの誘電体磁器組成物も、容量の温度特性が良好で、直流電界下での容量の経時変化が少なく、絶縁抵抗の加速寿命が長いという特性の全てを満足することはできなかった。例えば、特開昭61-250905号公報および特開平2-83256号公報にそれぞれ開示されているものでは、絶縁抵抗の加速寿命が短い。

【0010】

【発明が解決しようとする課題】本発明はこのような事情からなされたものであり、容量の温度特性であるX7R特性 (EIA規格) およびB特性 (EIAJ規格) をいずれも満足することができ、かつ、直流電界下での容量の経時変化が小さく、また、絶縁抵抗IRの加速寿命が長い積層型セラミックチップコンデンサを提供することを目的とする。

【0011】

【課題を解決するための手段】このような目的は、下記(1)～(7)の本発明により達成される。

(1) 誘電体層と内部電極層とが交互に積層された構成のコンデンサチップ体を有する積層型セラミックチップコンデンサであって、前記誘電体層が、主成分としてチタン酸バリウムを、副成分として酸化マグネシウムと、酸化マンガンと、酸化バリウムおよび酸化カルシウムから選択される少なくとも1種と、酸化ケイ素とを含有し、チタン酸バリウムを BaTiO_3 に、酸化マグネシウムを MgO に、酸化マンガンを MnO に、酸化バリウムを BaO に、酸化カルシウムを CaO に、酸化ケイ素を SiO_2 にそれぞれ換算したとき、 BaTiO_3 1.00 モルに対する比率が $\text{MgO} : 0.1 \sim 3$ モル、 $\text{MnO} : 0.05 \sim 1.0$ モル、 $\text{Y}_2\text{O}_3 : 1$ モル以下、 $\text{BaO} + \text{CaO} : 2 \sim 1.2$ モル、 $\text{SiO}_2 : 2 \sim 1.2$ モルであることを特徴とする積層型セラミックチップコンデンサ。

(2) 前記 BaTiO_3 、 MgO および MnO の合計に対し、 BaO 、 CaO および SiO_2 が $(\text{Ba}_{x} \text{Ca}_{1-x} \text{O})_y \cdot \text{SiO}_2$ (ただし、 $0.3 \leq x \leq 0.7$ 、 $0.95 \leq y \leq 1.05$ である) として $1 \sim 10$ 重量% 含有される上記(1)の積層型セラミックチップコンデンサ。

$0.95 \leq y \leq 1.05$ である。) として $1 \sim 10$ 重量% 含有される上記(1)の積層型セラミックチップコンデンサ。

(3) 誘電体層と内部電極層とが交互に積層された構成のコンデンサチップ体を有する積層型セラミックチップコンデンサであって、前記誘電体層が、主成分としてチタン酸バリウムを、副成分として酸化マグネシウムと、酸化マンガンと、酸化イットリウムと、酸化バリウムおよび酸化カルシウムから選択される少なくとも1種と、

10 酸化ケイ素とを含有し、チタン酸バリウムを BaTiO_3 に、酸化マグネシウムを MgO に、酸化マンガンを MnO に、酸化イットリウムを Y_2O_3 に、酸化バリウムを BaO に、酸化カルシウムを CaO に、酸化ケイ素を SiO_2 にそれぞれ換算したとき、 BaTiO_3 1.00 モルに対する比率が $\text{MgO} : 0.1 \sim 3$ モル、 $\text{MnO} : 0.05 \sim 1.0$ モル、 $\text{Y}_2\text{O}_3 : 1$ モル以下、 $\text{BaO} + \text{CaO} : 2 \sim 1.2$ モル、 $\text{SiO}_2 : 2 \sim 1.2$ モルであることを特徴とする積層型セラミックチップコンデンサ。

20 (4) BaTiO_3 、 MgO 、 MnO および Y_2O_3 の合計に対し、 BaO 、 CaO および SiO_2 が $(\text{Ba}_x \text{Ca}_{1-x} \text{O})_y \cdot \text{SiO}_2$ (ただし、 $0.3 \leq x \leq 0.7$ 、 $0.95 \leq y \leq 1.05$ である) として $1 \sim 10$ 重量% 含有される上記(3)の積層型セラミックチップコンデンサ。

(5) 前記内部電極層に含まれる導電材が、 Ni または Ni 合金である上記(1)ないし(4)のいずれかの積層型セラミックチップコンデンサ。

(6) 酸素分圧が $10^{-8} \sim 10^{-12}$ 気圧である雰囲気中で、 $1200 \sim 1400^{\circ}\text{C}$ の温度範囲内にて焼成された上記(5)の積層型セラミックチップコンデンサ。

(7) 焼成後に、酸素分圧が 10^{-6} 気圧以上の雰囲気中で 1100°C 以下の温度範囲内にてアニールされた上記(5)または(6)の積層型セラミックチップコンデンサ。

【0012】

【具体的構成】以下、本発明の具体的構成について詳細に説明する。

40 【0013】【積層型セラミックチップコンデンサ】本発明の積層型セラミックチップコンデンサの構成例の断面図を、図1に示す。

【0014】図1に示されるように、本発明の積層型セラミックチップコンデンサ1は、誘電体層2と内部電極層3とが交互に積層された構成のコンデンサチップ体10を有し、このコンデンサチップ体10表面に、内部電極層3と導通する外部電極4を有する。コンデンサチップ体10の形状に特に制限はないが、通常、直方体状とされる。また、その寸法にも特に制限はなく、用途に応じて適当な寸法とすればよいが、通常、(1.0～5.6mm) \times (0.5～5.0mm) \times (0.5～1.9mm)

程度である。内部電極層3は、その端面がコンデンサチップ体10の対向する2表面に交互に露出するように積層され、外部電極4は、コンデンサチップ体10の前記対向する2表面に形成され、所定のコンデンサ回路を構成する。

【0015】<誘電体層2>誘電体層2は、主成分としてチタン酸バリウム、副成分として酸化マグネシウムと、酸化マンガンと、酸化バリウムおよび酸化カルシウムから選択される少なくとも1種と、酸化ケイ素とを含有する。チタン酸バリウムをBaTiO₃に、酸化マグネシウムをMgOに、酸化マンガンをMnOに、酸化バリウムをBaOに、酸化カルシウムをCaOに、酸化ケイ素をSiO₂にそれぞれ換算したとき、誘電体層中ににおける各化合物の比率は、BaTiO₃ 100モルに対しMgO: 0. 1~3モル、好ましくは0. 5~1. 5モル、MnO: 0. 05~1. 0モル、好ましくは0. 2~0. 4モル、BaO+CaO: 2~12モル、SiO₂: 2~12モルである。

【0016】(BaO+CaO)/SiO₂は特に限定されないが、通常、0. 9~1. 1とすることが好ましい。BaO、CaOおよびSiO₂は、(Ba_xCa_{1-x}O)_y·SiO₂として含まれていてもよい。この場合、緻密な焼結体を得るために0. 3≤x≤0. 7、0. 95≤y≤1. 05とすることが好ましい。

(Ba_xCa_{1-x}O)_y·SiO₂の含有量は、BaTiO₃、MgOおよびMnOの合計に対し、好ましくは1~10重量%、より好ましくは4~6重量%である。なお、各酸化物の酸化状態は特に限定されず、各酸化物を構成する金属元素の含有量が上記範囲であればよい。

【0017】誘電体層2には、BaTiO₃に換算したチタン酸バリウム100モルに対し、Y₂O₃に換算して1モル以下の酸化イットリウムが副成分として含まれることが好ましい。Y₂O₃含有量の下限は特にないが、十分な効果を実現するためには0. 1モル以上含まれることが好ましい。酸化イットリウムを含む場合、

(Ba_xCa_{1-x}O)_y·SiO₂の含有量は、BaTiO₃、MgO、MnOおよびY₂O₃の合計に対し好ましくは1~10重量%、より好ましくは4~6重量%である。

【0018】なお、誘電体層2には他の化合物が含まれていてもよいが、酸化コバルトは容量変化率を増大させて実質的に含まれないことが好ましい。

【0019】上記各副成分の含有量の限定理由は下記のとおりである。

【0020】酸化マグネシウムの含有量が前記範囲未満であると、容量の温度特性を所望の範囲とことができない。酸化マグネシウムの含有量が前記範囲を超えると、焼結性が急激に悪化し、緻密化が不十分となってIR加速寿命が低下し、また、高い比誘電率が得られない。

【0021】酸化マンガンの含有量が前記範囲未満であると、良好な耐還元性が得られずIR加速寿命が不十分となり、また、損失tanδを低くすることが困難となる。酸化マンガンの含有量が前記範囲を超えている場合、直流電界印加時の容量の経時変化を小さくすることが困難となる。

【0022】BaO+CaOや、SiO₂、(Ba_xCa_{1-x}O)_y·SiO₂の含有量が少なすぎると直流電界印加時の容量の経時変化が大きくなり、また、IR加速寿命が不十分となる。含有量が多すぎると比誘電率の急激な低下が起る。

【0023】酸化イットリウムはIR加速寿命を向上させる効果を有する。酸化イットリウムの含有量が前記範囲を超えると、静電容量が減少し、また、焼結性が低下して緻密化が不十分となることがある。

【0024】また、誘電体層中には、酸化アルミニウムが含有されていてもよい。酸化アルミニウムは比較的低温での焼結を可能にする作用をもつ。Al₂O₃に換算したときの酸化アルミニウムの含有量は、誘電体材料全体の1重量%以下とすることが好ましい。酸化アルミニウムの含有量が多すぎると、逆に焼結を阻害するという問題を生じる。

【0025】本発明において誘電体層は、いわゆるコア-シェル構造となっている。すなわち、高誘電率相の結晶粒(コア)の周囲を低誘電率相の結晶粒界(シェル)が取り囲む構造となっている。コアには、通常、BaO、TiO₂、MnO、CaOなどが含まれ、シェルには、通常、CaO、TiO₂、BaO、SiO₂、MnO、MgO、Y₂O₃などが含まれる。

【0026】誘電体層の平均結晶粒径は特に限定されないが、上記組成とすることにより微細な結晶粒が得られ、通常、平均結晶粒径は0. 2~0. 7μm程度となる。また、シェルの平均幅は、0. 02~0. 2μm程度である。

【0027】誘電体層のキュリー温度は、適用される規格に応じて組成を選択することにより適宜設定することができるが、一般に85°C以上、通常、120~135°C程度とする。

【0028】誘電体層の一層あたりの厚さは、100μm以下、特に50μm以下、さらには2~20μm程度とする。本発明は、このような薄層化した誘電体層を有する積層型セラミックチップコンデンサの容量の経時変化防止に有効である。なお、誘電体層の積層数は、通常2~200程度とする。

【0029】<内部電極層3>内部電極層3に含有される導電材は特に限定されないが、誘電体層2構成材料が耐還元性を有するため、卑金属を用いることができる。導電材として用いる卑金属としては、NiまたはNi合金が好ましい。Ni合金としては、Mn、Cr、CoおよびAlから選択される1種以上の元素とNiとの合金

が好ましく、合金中のNi含有量は9.5重量%以上であることが好ましい。

【0030】なお、NiまたはNi合金中には、P等の各種微量成分が0.1重量%程度以下含まれていてもよい。

【0031】内部電極層の厚さは用途等に応じて適宜決定されればよいが、通常、1~5μm、特に2~3μm程度であることが好ましい。

【0032】<外部電極4>外部電極4に含有される導電材は特に限定されないが、本発明では安価なNi、Cuや、これらの合金を用いることができる。

【0033】外部電極の厚さは用途等に応じて適宜決定されればよいが、通常、10~50μm程度であることが好ましい。

【0034】【積層型セラミックチップコンデンサの製造方法】本発明の積層型セラミックチップコンデンサは、ペーストを用いた通常の印刷法やシート法によりグリーンチップを作製し、これを焼成した後、外部電極を印刷ないし転写して焼成することにより製造される。

【0035】<誘電体層用ペースト>誘電体層用ペーストは、誘電体原料と有機ビヒクルとを混練して製造される。

【0036】誘電体原料には、上記した複合酸化物や酸化物の混合物を用いることができるが、その他、焼成により上記した複合酸化物や酸化物となる各種化合物、例えば、炭酸塩、シュウ酸塩、硝酸塩、水酸化物、有機金属化合物等から適宜選択し、混合して用いることができる。誘電体原料中の各化合物の含有量は、焼成後に上記した誘電体層の組成となるように決定すればよい。

【0037】誘電体原料は、通常、平均粒子径0.1~1μm程度の粉末として用いられる。

【0038】有機ビヒクルとは、バインダを有機溶剤中に溶解したものである。有機ビヒクルに用いるバインダは特に限定されず、エチルセルロース等の通常の各種バインダから適宜選択すればよい。また、用いる有機溶剤も特に限定されず、印刷法やシート法など、利用する方法に応じて、テルピネオール、ブチルカルビトール、アセトン、トルエン等の各種有機溶剤から適宜選択すればよい。

【0039】<内部電極層用ペースト>内部電極層用ペーストは、上記した各種導電性金属や合金からなる導電材、あるいは焼成後に上記した導電材となる各種酸化物、有機金属化合物、レジネート等と、上記した有機ビヒクルとを混練して調製する。

【0040】<外部電極用ペースト>外部電極用ペーストは、上記した内部電極層用ペーストと同様にして調製すればよい。

【0041】<有機ビヒクル含有量>上記した各ペースト中の有機ビヒクルの含有量に特に制限はなく、通常の含有量、例えば、バインダは1~5重量%程度、溶剤は

10~50重量%程度とすればよい。また、各ペースト中には、必要に応じて各種分散剤、可塑剤、誘電体、絶縁体等から選択される添加物が含有されていてもよい。これらの総含有量は、10重量%以下とすることが好ましい。

【0042】<グリーンチップ作製>印刷法を用いる場合、誘電体層用ペーストおよび内部電極層用ペーストを、PET等の基板上に積層印刷し、所定形状に切断した後、基板から剥離してグリーンチップとする。

【0043】また、シート法を用いる場合、誘電体層用ペーストを用いてグリーンシートを形成し、この上に内部電極層用ペーストを印刷した後、これらを積層してグリーンチップとする。

【0044】<脱バインダ処理>焼成前に行なわれる脱バインダ処理は、通常の条件で行なえばよいが、内部電極層の導電材にNiやNi合金等の卑金属を用いる場合、特に下記の条件で行なうことが好ましい。

昇温速度：5~300°C/時間、特に10~100°C/時間

保持温度：200~400°C、特に250~300°C

温度保持時間：0.5~24時間、特に5~20時間

雰囲気：空気中

【0045】<焼成>グリーンチップ焼成時の雰囲気は、内部電極層用ペースト中の導電材の種類に応じて適宜決定されればよいが、導電材としてNiやNi合金等の卑金属を用いる場合、焼成雰囲気中の酸素分圧は、10~8~10~12気圧とすることが好ましい。酸素分圧が前記範囲未満であると、内部電極層の導電材が異常焼結を起こし、途切れてしまうことがある。また、酸素分圧が前記範囲を超えると、内部電極層が酸化する傾向にある。

【0046】また、焼成時の保持温度は、1200~1400°C、特に1250~1300°Cとすることが好ましい。保持温度が前記範囲未満であると緻密化が不十分であり、前記範囲を超えると直流電界印加時の容量の経時変化が大きくなる。

【0047】上記条件以外の各種条件は、下記のようにすることが好ましい。

昇温速度：50~500°C/時間、特に200~300°C/時間

温度保持時間：0.5~8時間、特に1~3時間

冷却速度：50~500°C/時間、特に200~300°C/時間

焼成雰囲気は還元性雰囲気とすることが好ましく、雰囲気ガスとしては、例えば、N₂とH₂との混合ガスを加温して用いることが好ましい。

【0048】<アニール>還元性雰囲気中で焼成した場合、コンデンサチップ体にはアニールが施されることが好ましい。アニールは、誘電体層を再酸化するための処理であり、これによりIR加速寿命を著しく長くするこ

とができる。

【0049】アニール雰囲気中の酸素分圧は、 10^{-6} 気圧以上、特に $10^{-5} \sim 10^{-4}$ 気圧とすることが好ましい。酸素分圧が前記範囲未満であると誘電体層の再酸化が困難であり、前記範囲を超えると内部電極層が酸化する傾向にある。

【0050】アニールの際の保持温度は、 1100°C 以下、特に $500 \sim 1000^{\circ}\text{C}$ とすることが好ましい。保持温度が前記範囲未満であると誘電体層の酸化が不十分となって寿命が短くなる傾向にあり、前記範囲を超えると内部電極層が酸化し、容量が低下するだけでなく、誘電体素地と反応してしまい、寿命も短くなる傾向にある。なお、アニールは昇温および降温だけから構成してもよい。この場合、温度保持時間は零であり、保持温度は最高温度と同義である。

【0051】上記条件以外の各種条件は下記のようにすることができる。

温度保持時間： $0 \sim 20$ 時間、特に $6 \sim 10$ 時間

冷却速度： $50 \sim 500^{\circ}\text{C}/\text{時間}$ 、特に $100 \sim 300^{\circ}\text{C}/\text{時間}$

雰囲気用ガスには、加湿した N_2 ガス等を用いることが好ましい。

【0052】なお、上記した脱バインダ処理、焼成およびアニールにおいて、 N_2 ガスや混合ガス等を加湿するには、例えばウェッター等を使用すればよい。この場合、水温は $5 \sim 75^{\circ}\text{C}$ 程度が好ましい。

【0053】脱バインダ処理、焼成およびアニールは、連続して行なっても、独立に行なってもよい。

【0054】これらを連続して行なう場合、脱バインダ処理後、冷却せずに雰囲気を変更し、続いて焼成の際の保持温度まで昇温して焼成を行ない、次いで冷却し、アニールの保持温度に達したときに雰囲気を変更してアニールを行なうことが好ましい。

【0055】また、これらを独立して行なう場合、焼成に際しては、脱バインダ処理時の保持温度まで N_2 ガスあるいは加湿した N_2 ガス雰囲気下で昇温した後、雰囲気を変更してさらに昇温を続けることが好ましく、アニール時の保持温度まで冷却した後は、再び N_2 ガスあるいは加湿した N_2 ガス雰囲気に変更して冷却を続けることが好ましい。また、アニールに際しては、 N_2 ガス雰囲気下で保持温度まで昇温した後、雰囲気を変更してもよく、アニールの全工程を加湿した N_2 ガス雰囲気としてもよい。

【0056】<外部電極形成>上記のようにして得られたコンデンサチップ体に、例えばバレル研磨やサンドブラストなどにより端面研磨を施し、外部電極用ペーストを印刷ないし転写して焼成し、外部電極4を形成する。外部電極用ペーストの焼成条件は、例えば、 $600 \sim 800^{\circ}\text{C}$ にて 10 分間～ 1 時間程度とすることが好ましい。

【0057】そして、必要に応じ、外部電極4表面に、めっき等により被覆層を形成する。

【0058】このようにして製造された本発明の積層型セラミックチップコンデンサは、ハンダ付等によりプリント基板上などに実装され、各種電子機器等に使用される。

【0059】そして、本発明の積層型セラミックチップコンデンサの誘電体層には、使用時に、 $0.02\text{V}/\mu\text{m}$ 以上、特に $0.2\text{V}/\mu\text{m}$ 以上、さらには $0.5\text{V}/\mu\text{m}$ 以上、一般に $5\text{V}/\mu\text{m}$ 程度以下の直流電界と、通常、これに重畳する交流成分とが印加されるが、このような直流電界を負荷しても、容量の経時変化は極めて少ないものである。

【0060】

【実施例】以下、本発明の具体的実施例を挙げ、本発明をさらに詳細に説明する。

【0061】下記の各ペーストを調製した。

誘電体層用ペースト

粒径 $0.1 \sim 1\mu\text{m}$ の BaTiO_3 、 $(\text{MgCO}_3)_4 \cdot \text{Mg(OH)}_2 \cdot 5\text{H}_2\text{O}$ 、 MnCO_3 、 $(\text{Ba}_{0.5}\text{Ca}_{0.5})\text{SiO}_3$ 、 Y_2O_3 から選択した材料粉末をボールミルにより 16 時間湿式混合し、次いでスプレードライヤーで乾燥させて、誘電体原料とした。各粉末の混合比率を変えて、複数の誘電体原料を作製した。

【0062】各誘電体原料 100 重量部と、アクリル樹脂 4.8 重量部、塩化メチレン 4.0 重量部、トリクロロエタン 2.0 重量部、ミネラルスピリット 6 重量部およびアセトン 4 重量部とをボールミルで混合してペースト化した。

【0063】内部電極層用ペースト

平均粒径 $0.8\mu\text{m}$ の Ni 粒子 100 重量部と、有機ビヒクル（エチルセルロース樹脂 8 重量部をブチルカルビトール 9.2 重量部に溶解したもの） 40 重量部およびブチルカルビトール 10 重量部とを 3 本ロールにより混練し、ペースト化した。

【0064】外部電極用ペースト

平均粒径 $0.5\mu\text{m}$ の Cu 粒子 100 重量部と、有機ビヒクル（エチルセルロース樹脂 8 重量部をブチルカルビトール 9.2 重量部に溶解したもの） 35 重量部およびブチルカルビトール 7 重量部とを混練し、ペースト化した。

【0065】上記各誘電体層用ペーストおよび上記内部電極層用ペーストを用い、図 1 に示される構成の積層型セラミックコンデンサを作製した。

【0066】まず、誘電体層用ペーストを用いてPETフィルム上にグリーンシートを作製し、この上に内部電極層用ペーストを印刷した。次いで、PETフィルムからシートを剥離して積層し、加圧接着してグリーンチップを得た。積層数は 4 層とした。

【0067】次いでグリーンチップを所定サイズに切断

し、脱バインダ処理、焼成およびアニールを下記の条件にて連続的に行ない、コンデンサチップ体を作製した。

【0068】脱バインダ処理

昇温速度：15°C／時間

保持温度：280°C

温度保持時間：8時間

雰囲気ガス：空气中

【0069】焼成

昇温速度：200°C／時間

保持温度：1300°C

温度保持時間：2時間

冷却速度：300°C／時間

雰囲気ガス：加湿したN₂ とH₂ の混合ガス

酸素分圧：10⁻⁹気圧

【0070】アニール

保持温度：900°C

温度保持時間：9時間

冷却速度：300°C／時間

雰囲気ガス：加湿したN₂ ガス

酸素分圧：10⁻⁵気圧

【0071】なお、それぞれの雰囲気ガスの加湿にはウェッターを用い、水温は35°Cとした。

【0072】得られたコンデンサチップ体の端面をサンドブラストにて研磨した後、上記外部電極用ペーストを前記端面に転写し、N₂ + H₂ 雰囲気中で800°Cにて10分間焼成して外部電極を形成し、積層型セラミックチップコンデンササンプルを得た。

【0073】このようにして製造した各サンプルのサイズは、3.2mm×1.6mm×1.2mmであり、誘電体層

の厚さは15μm、内部電極層の厚さは2.5μmであった。

【0074】各サンプルの誘電体層の組成を、下記表1に示す。これらの組成は、前述した基準に従って算出した。なお、表1中の (Ba, Ca) SiO₃ とは、(Ba_{0.5} Ca_{0.5}) SiO₃ である。

【0075】各サンプルについて、下記の測定を行なった。結果を表1に示す。

【0076】容量の温度特性

10 X7R特性：LCRメータにより、-55～125°Cについて測定電圧1Vで容量を測定し、容量変化率が±15%以内（基準温度25°C）を満足するかどうかを調べた。満足する場合を○、満足しない場合を×とした。

【0077】直流電界下での容量の経時変化

誘電体層の厚さ1μmあたり1.06Vの直流電界（サンプルへの印加電圧16V）を40°Cにて66時間印加し、次いで、無負荷状態で室温にて24時間放置した後、容量を測定し、直流電界印加前の容量C₀（初期容量）からの変化量△Cを求めて、変化率△C/C₀を算出した。なお、容量は上記条件にて測定した。

【0078】絶縁抵抗IRの加速寿命

180°Cにて10V/μmの電界下で加速試験を行ない、抵抗（IR）が2×10⁵Ω以下になるまでの時間を寿命時間とした。

【0079】比誘電率ε_s

25°Cにおける比誘電率を測定した。

【0080】

【表1】

サンプル No.	誘電体層組成				温度 特性 X7R	$\Delta C/C_0$ (%)	IR加速 寿命 (時間)	ε_s (25 °C)
	MgO (モル)	MnO (モル)	(Ba, Ca)SiO ₃ (wt%)	Y ₂ O ₃ (モル)				
1	1	0.375	5	0	○	-1.42	2.7	2871
2	1	0.375	5	0.04	○	-1.58	5.0	2729
3	1	0.375	5	0.09	○	-1.23	11.3	2565
4	1	0.375	5	0.18	○	-1.58	13.9	2495
5	1	0.375	5	0.27	○	-1.85	27.3	2530
6	1	0.19	5	0	○	-0.65	5.0	2758
7	1	0.19	5	0.04	○	-0.85	5.2	2663
8	1	0.19	5	0.09	○	-1.13	4.2	2670
9	1	0.19	5	0.18	○	-0.43	9.7	2760
10	1	0.19	5	0.27	○	-0.16	14.9	2652
11	1.2	0.375	5	0	○	-0.06	2.2	2952
12	1.2	0.375	5	0.04	○	-0.25	7.6	2772
13	1.2	0.375	5	0.09	○	-0.71	6.0	2895
14	1.2	0.375	5	0.18	○	-2.44	15.3	2542
15	1.2	0.375	5	0.27	○	-2.75	34.3	2359
16 (比較)	0*	0.1	5	0.2	×	-5.11	1.0	5241
17 (比較)	1	0*	5	0.2	×	-0.52	0.1	3218
18 (比較)	1	2*	5	0.2	○	-5.77	5.4	2153
19 (比較)	1	0.1	0*	0.2	×	-8.38	0	4827

* : 本発明範囲を外れる組成

【0081】表1に示される結果から、本発明の効果が明らかである。すなわち、誘電体層の組成が本発明の範囲内であるサンプルでは、X7R特性を満足し、かつ、直流電界下での容量の経時変化率が10%以下と極めて低く、また、加速試験における絶縁抵抗IRの寿命が長い。そして、Y₂O₃の添加により、IR加速寿命が著しく向上することがわかる。また、表1の本発明サンプルは、静電容量の温度特性がB特性 [-25~85°C] で容量変化率±10%以内 (基準温度20°C) も満足していた。

【0082】本発明のサンプルNo. 1および比較例のサンプルNo. 16の誘電体層断面の走査型電子顕微鏡写真を、それぞれ図2および図3に示す。これらの写真は、

断面を鏡面研磨し、フッ酸-硝酸の混合水溶液によりエッティングした後に撮影した。比較例であるサンプルNo. 40 16 (図3) では平均結晶粒径が約1μm、結晶粒界の平均幅が約0.2μmであるが、本発明のサンプルNo. 1 (図2) では平均結晶粒径が約0.5μm、結晶粒界の平均幅が約0.2μmと細かい。なお、表1に示される他の比較サンプルおよび本発明サンプルについても、同様な関係がみられた。

【0083】また、比較例のサンプルNo. 16の誘電体層の透過型電子顕微鏡写真を、上記直流電界印加前および印加後に撮影した。印加前の写真を図4に、印加後の写真を図5にそれぞれ示す。図4および図5から、直流電界の印加によりドメインが減少していることがわか

る。

【0084】

【発明の効果】本発明では、誘電体層を所定の組成とすることにより、容量の温度特性に関するX7R特性およびB特性を満足することができ、かつ、直流電界下での容量の経時変化が小さく、また、絶縁抵抗IRの加速寿命が長い積層型セラミックチップコンデンサを実現することができる。

【図面の簡単な説明】

【図1】本発明の積層型セラミックチップコンデンサの構成例を示す断面図である。 10

【図2】粒子構造を示す図面代用写真であって、本発明の積層型セラミックチップコンデンサの誘電体層断面の走査型電子顕微鏡写真である。

【図3】粒子構造を示す図面代用写真であって、従来の

積層型セラミックチップコンデンサの誘電体層断面の走査型電子顕微鏡写真である。

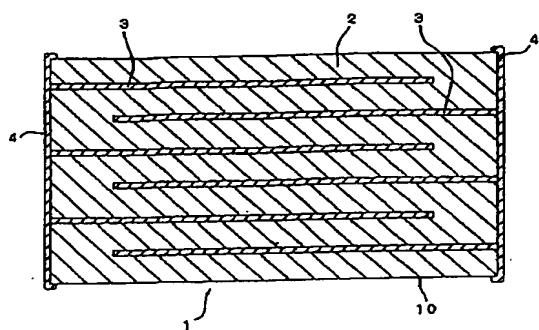
【図4】粒子構造を示す図面代用写真であって、積層型セラミックチップコンデンサの誘電体層の透過型電子顕微鏡写真である。

【図5】粒子構造を示す図面代用写真であって、直流電界印加後の積層型セラミックチップコンデンサの誘電体層の透過型電子顕微鏡写真である。

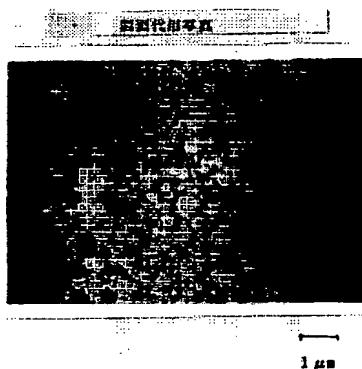
【符号の説明】

- 1 積層型セラミックチップコンデンサ
- 10 コンデンサチップ体
- 2 誘電体層
- 3 内部電極層
- 4 外部電極

【図1】

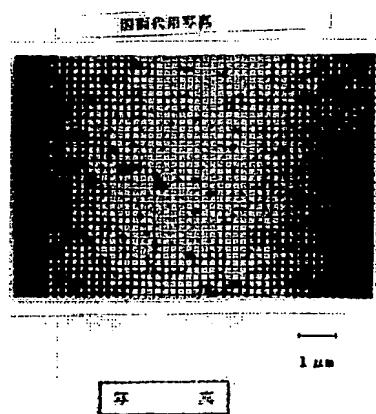


【図2】

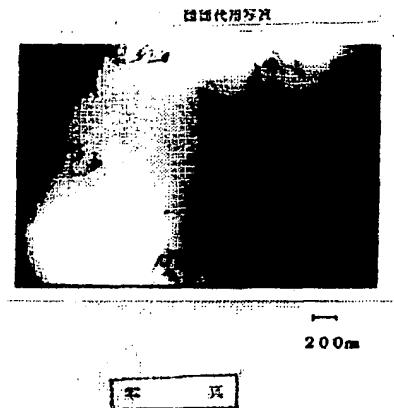


【図3】

【図4】



【図5】



【手続補正書】

【提出日】平成5年6月23日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0024

【補正方法】変更

【補正内容】

【0024】誘電体層中には、酸化アルミニウムが含有されていてもよい。酸化アルミニウムは比較的低温での焼結を可能にする作用をもつ。 Al_2O_3 に換算したときの酸化アルミニウムの含有量は、誘電体材料全体の1重量%以下とすることが好ましい。酸化アルミニウムの含有量が多すぎると比誘電率が著しく低下してしまい、同時にIR加速寿命も短くなってしまう。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0025

【補正方法】変更

【補正内容】

【0025】本発明において誘電体層は、いわゆるコア-シェル構造となっている。すなわち、ペロブスカイト構造を有する高誘電率相の結晶粒（コア）の周囲を低誘電率相の結晶粒界（シェル）が取り囲む構造となっている。コアには、通常、 BaO 、 TiO_2 、 MnO 、 CaO などが含まれ、シェルには、通常、 CaO 、 TiO_2 、 BaO 、 SiO_2 、 MnO 、 MgO 、 Y_2O_3 などが含まれる。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0028

【補正方法】変更

【補正内容】

【0028】誘電体層の一層あたりの厚さは、 $50\mu m$ 以下、好ましくは $20\mu m$ 程度以下とする。厚さの下限は $0.5\mu m$ 程度、好ましくは $2\mu m$ 程度である。本発明は、このような薄層化した誘電体層を有する積層型セラミックチップコンデンサの容量の経時変化防止に有効である。なお、誘電体層は、通常、2~300層程度、好ましくは2~200層程度積層する。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0031

【補正方法】変更

【補正内容】

【0031】内部電極層の厚さは用途等に応じて適宜決定すればよいが、厚さの上限は通常 $5\mu m$ 、好ましくは $2.5\mu m$ 、厚さの下限は通常 $0.5\mu m$ 、好ましくは $1\mu m$ である。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0037

【補正方法】変更

【補正内容】

【0037】誘電体原料は、通常、平均粒子径 $0.1\sim3\mu m$ 程度、特に $0.1\sim1\mu m$ 程度の粉末として用いられる。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0046

【補正方法】変更

【補正内容】

【0046】また、焼成時の保持温度は、好ましくは1100~1400°C、より好ましくは1200~1400°C、さらに好ましくは1200~1300°Cとする。

保持温度が前記範囲未満であると緻密化が不十分であり、前記範囲を超えると直流電界印加時の容量の経時変化が大きくなる。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0056

【補正方法】変更

【補正内容】

【0056】<外部電極形成>上記のようにして得られたコンデンサチップ体に、例えばバレル研磨やサンドブ*

* ラストなどにより端面研磨を施し、外部電極用ペーストを印刷ないし転写して焼成し、外部電極4を形成する。外部電極用ペーストの焼成条件は、例えば、加湿したN₂とH₂との混合ガス中で600~800°Cにて10分間~1時間程度とすることが好ましい。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0072

【補正方法】変更

【補正内容】

【0072】得られたコンデンサチップ体の端面をサンドブラストにて研磨した後、上記外部電極用ペーストを前記端面に転写し、加湿したN₂+H₂雰囲気中で800°Cにて10分間焼成して外部電極を形成し、積層型セラミックチップコンデンササンプルを得た。

フロントページの続き

(72)発明者 野村 武史

東京都中央区日本橋一丁目13番1号 ティ
ーディーケイ株式会社内

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-084692
(43)Date of publication of application : 25.03.1994

(51)Int.CI. H01G 4/12
C04B 35/46
C04B 35/64
H01B 3/12

(21)Application number : 05-085705 (71)Applicant : TDK CORP
(22)Date of filing : 19.03.1993 (72)Inventor : NAKANO YUKIE
ARASHI TOMOHIRO
SATO AKIRA
NOMURA TAKESHI

(30)Priority
Priority number : 04208483 Priority date : 13.07.1992 Priority country : JP

(54) MULTILAYER CERAMIC CHIP CAPACITOR

(57)Abstract:

PURPOSE: To realize a multilayer ceramic chip capacitor which can satisfy both temperature characteristics of capacity, i.e., X7R characteristics (EIA regulation) and B characteristics (EIAJ regulation), and in which aging of capacity is slow under DC field and acceleration lifetime of insulation resistance IR is long.

CONSTITUTION: The multilayer ceramic chip capacitor employs a dielectric layer having composition of MgO: 0.1-3mol., MnO: 0.05-1.0-mol., Y2O3: 1mol. or less, BaO+CaO: 2-12mol.(including BaO or CaO=0), and SiO2: 2-12mol. for 100mol. of BaTiO3.

LEGAL STATUS

[Date of request for examination] 11.01.1996
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the
examiner's decision of rejection or application converted
registration]
[Date of final disposal for application]
[Patent number] 2762427
[Date of registration] 27.03.1998
[Number of appeal against examiner's decision of
rejection]
[Date of requesting appeal against examiner's decision
of rejection]
[Date of extinction of right]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] It is the laminating type ceramic chip capacitor which has the capacitor chip object of composition of that the laminating of a dielectric layer and the internal-electrode layer was carried out by turns. the aforementioned dielectric layer a barium titanate as an accessory constituent as a principal component A magnesium oxide, Manganese oxide and at least one sort chosen from a barium oxide and a calcium oxide, Silicon oxide is contained and it is a barium titanate $BaTiO_3$ A magnesium oxide to MgO manganese oxide -- MnO -- a barium oxide -- BaO -- a calcium oxide -- CaO -- silicon oxide -- SiO_2 When it converts, respectively The ratio to $BaTiO_3$ 100 mol is $MgO:0.1-3$ mol, $MnO:0.05-1.0$ mol, $BaO+CaO:2-12$ mol, and SiO_2 . : Laminating type ceramic chip capacitor characterized by being 2-12 mols.

[Claim 2] It is BaO , CaO , and SiO_2 to the above $BaTiO_3$ and the sum total of MgO and MnO . Laminating type ceramic chip capacitor of the claim 1 contained one to 10% of the weight as y ($Ba_x Ca_{1-x} O$) and SiO_2 (however, it is $0.3 \leq x \leq 0.7$ and $0.95 \leq y \leq 1.05$).

[Claim 3] It is the laminating type ceramic chip capacitor which has the capacitor chip object of composition of that the laminating of a dielectric layer and the internal-electrode layer was carried out by turns. the aforementioned dielectric layer a barium titanate as an accessory constituent as a principal component A magnesium oxide, Manganese oxide, a yttrium oxide, and at least one sort chosen from a barium oxide and a calcium oxide, Silicon oxide is contained and it is a barium titanate $BaTiO_3$ A magnesium oxide to MgO To MnO , it is a yttrium oxide about manganese oxide Y_2O_3 In BaO , it is [barium oxide] silicon oxide to CaO about a calcium oxide SiO_2 When it converts, respectively, The ratio to $BaTiO_3$ 100 mol is $MgO:0.1-3$ mol, $MnO:0.05-1.0$ mol, and Y_2O_3 . : One mol or less, $BaO+CaO:2-12$ mol, SiO_2 : Laminating type ceramic chip capacitor characterized by being 2-12 mols.

[Claim 4] $BaTiO_3$, MgO , MnO , and Y_2O_3 It is BaO , CaO , and SiO_2 to the sum total. Laminating type ceramic chip capacitor of the claim 3 contained one to 10% of the weight as y ($Ba_x Ca_{1-x} O$) and SiO_2 (however, it is $0.3 \leq x \leq 0.7$ and $0.95 \leq y \leq 1.05$).

[Claim 5] The claim 1 whose electric conduction material contained in the aforementioned internal-electrode layer is nickel or nickel alloy, or one laminating type ceramic chip capacitor of 4.

[Claim 6] Oxygen tension is 10-8 to 10-12. Laminating type ceramic chip capacitor of the claim 5 calcinated within the 1200-1400-degree C temperature requirement in the atmosphere which is atmospheric pressure.

[Claim 7] The laminating type ceramic chip capacitor of the claims 5 or 6 which annealed oxygen tension within the temperature requirement 1100 degrees C or less in the atmosphere of 10 to 6 or more atmospheric pressure after baking.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] this invention relates to a laminating type ceramic chip capacitor.

[0002]

[Description of the Prior Art] The laminating type ceramic chip capacitor is widely used as small, large capacity, and highly reliable electronic parts, and the number used in one set of electronic equipment also reaches a large number. In recent years, the demand to small [to a laminating type ceramic chip capacitor / further], large capacity, a low price, and high-reliability-izing is still severer with small and highly-efficient-izing of a device.

[0003] Usually, a laminating type ceramic chip capacitor carries out the laminating of the paste for internal-electrode layers, and the paste for dielectric layers by the sheet method, print processes, etc., they really carry out simultaneous baking, and it is manufactured.

[0004] Although Pd and Pd alloy are generally used for the electric conduction material of an internal-electrode layer, since Pd is expensive, base metal, such as comparatively cheap nickel and nickel alloy, is being used. In order for an internal-electrode layer to oxidize if it calcinates in the atmosphere when using base metal as electric conduction material of an internal-electrode layer, it is necessary to perform simultaneous baking with a dielectric layer and an internal-electrode layer in a reducing atmosphere. However, if it calcinates in a reducing atmosphere, since a dielectric layer will be returned and specific resistance will become low, nonreducible dielectric materials are proposed.

[0005] However, the life of insulation resistance IR becomes short and the laminating type ceramic chip capacitor using nonreducible dielectric materials has a problem of a low in reliability.

[0006] Moreover, if a dielectric is exposed to direct-current electric field, it is specific-inductive-capacity epsilon. The problem of falling with time arises. If thickness of a dielectric layer is made thin for a chip capacitor in order to large-capacity-ize, small and, since the electric field concerning the dielectric layer when impressing direct current voltage will become strong, it is specific-inductive-capacity epsilon. Aging, i.e., aging of capacity, will become remarkably large.

[0007] By the way, by the specification called X7R property set to the EIA standard, the rate of change of capacity is determined as less than (25 degrees C of reference temperature) **15% from -55 to 125 degrees C.

[0008] As dielectric materials which satisfy X7R property, the composition of a BaTiO₃+SrTiO₃+MnO system shown, for example in JP,61-36170,A is known. However, aging of the capacity under direct-current electric field is large, for example, this thing is 50V at 40 degrees C. When direct-current electric field are impressed for 1000 hours, the rate of change of capacity becomes about -10--30%, and it becomes impossible to satisfy X7R property.

[0009] moreover, in addition to this as a nonreducible dielectric porcelain constituent BaTiO₃+MnO+MgO currently indicated by JP,57-71866,A, a Ti_{1-y}Zry O₂+alpha(1-z) (MnO+zCoO)+beta(1-t) (A₂O₅+tL₂O₃)+wSiO₂ (however, A=Nb, and Ta and V --) currently indicated by JP,61-250905,A (Ba_{1-x}Sr_xO) It is Baalphacalcium_{1-alpha}SiO₃ of a vitreous state to the barium titanate currently indicated by L=Y or rare earth elements, and JP,2-83256,A. What was added is mentioned. However, neither of these dielectric porcelain constituents was able to have the good temperature characteristic of capacity, there could not be little aging of the capacity under direct-current electric field, and all the properties that accelerated aging of insulation resistance is long were not able to be satisfied. For example, accelerated aging of insulation resistance is short what is indicated by JP,61-250905,A and JP,2-83256,A, respectively.

[0010]

[Problem(s) to be Solved by the Invention] As for this invention, accelerated aging of insulation resistance IR aims [aging of the capacity under direct-current electric field] are made from such a situation, and can satisfy each X7R property (EIA standard) and the B weighting (EIAJ standards) which are the temperature characteristic of capacity, and small at offering a long laminating type ceramic chip capacitor.

[0011]

[Means for Solving the Problem] Such a purpose is attained by this invention of following the (1) - (7). It is the laminating type ceramic chip capacitor which has the capacitor chip object of composition of that the laminating of a dielectric layer and the internal-electrode layer was carried out by turns. the aforementioned dielectric layer a barium titanate as an accessory constituent as a principal component (1) A magnesium oxide, Manganese oxide and at least one sort chosen from a barium oxide and a calcium oxide, Silicon oxide is contained and it is a barium titanate $BaTiO_3$ A magnesium oxide to MgO manganese oxide -- MnO -- a barium oxide -- BaO -- a calcium oxide -- CaO -- silicon oxide -- SiO_2 When it converts, respectively The ratio to 3100 mol of $BaTiO_3(s)$ is $MgO:0.1-3$ mol, $MnO:0.05-1.0$ mol, $BaO+CaO:2-12$ mol, and SiO_2 . : Laminating type ceramic chip capacitor characterized by being 2-12 mols.

(2) It is BaO , CaO , and SiO_2 to the above $BaTiO_3$ and the sum total of MgO and MnO . Laminating type ceramic chip capacitor of the above (1) contained one to 10% of the weight as y (Ba calcium $1-x$ O) and SiO_2 (however, it is $0.3 \leq x \leq 0.7$ and $0.95 \leq y \leq 1.05$.).

It is the laminating type ceramic chip capacitor which has the capacitor chip object of composition of that the laminating of a dielectric layer and the internal-electrode layer was carried out by turns. the aforementioned dielectric layer a barium titanate as an accessory constituent as a principal component (3) A magnesium oxide, Manganese oxide, a yttrium oxide, and at least one sort chosen from a barium oxide and a calcium oxide, Silicon oxide is contained and it is a barium titanate $BaTiO_3$ A magnesium oxide to MgO To MnO , it is a yttrium oxide about manganese oxide Y_2O_3 In BaO , it is [barium oxide] silicon oxide to CaO about a calcium oxide SiO_2 When it converts, respectively, The ratio to $BaTiO_3$ 100 mol is $MgO:0.1-3$ mol, $MnO:0.05-1.0$ mol, and Y_2O_3 . : One mol or less, $BaO+CaO:2-12$ mol, SiO_2 : Laminating type ceramic chip capacitor characterized by being 2-12 mols.

(4) $BaTiO_3$, MgO , MnO , and Y_2O_3 It is BaO , CaO , and SiO_2 to the sum total. Laminating type ceramic chip capacitor of the above (3) contained one to 10% of the weight as y (Ba calcium $1-x$ O) and SiO_2 (however, it is $0.3 \leq x \leq 0.7$ and $0.95 \leq y \leq 1.05$.).

(5) The above (1) whose electric conduction material contained in the aforementioned internal-electrode layer is nickel or nickel alloy, or one laminating type ceramic chip capacitor of (4).

(6) Oxygen tension is 10-8 to 10-12. Laminating type ceramic chip capacitor of the above (5) calcinated within the 1200-1400-degree C temperature requirement in the atmosphere which is atmospheric pressure.

(7) The above (5) or (6) laminating type ceramic chip capacitors which annealed oxygen tension within the temperature requirement 1100 degrees C or less in the atmosphere of 10 to 6 or more atmospheric pressure after baking.

[0012]

[Elements of the Invention] Hereafter, the concrete composition of this invention is explained in detail.

[0013] The cross section of the example of composition of the laminating type ceramic chip capacitor of a [laminating type ceramic chip-capacitor] this invention is shown in drawing 1 .

[0014] As shown in drawing 1 , the laminating type ceramic chip capacitor 1 of this invention has the capacitor chip object 10 of composition of that the laminating of a dielectric layer 2 and the internal-electrode layer 3 was carried out by turns, and has the internal-electrode layer 3 and the flowing external electrode 4 on this capacitor chip object 10 front face. Although there is especially no limit in the configuration of the capacitor chip object 10, it usually considers as the shape of a rectangular parallelepiped. Moreover, although what is necessary is for there to be especially no limit also in the size, and just to consider as a suitable size according to a use, it is usually $x(1.0-5.6mm)$ ($0.5-5.0mm$) x ($0.5-1.9mm$) grade. The laminating of the internal-electrode layer 3 is carried out so that the end face may be exposed to two front faces on which the capacitor chip object 10 counters by turns, the external electrode 4 is formed in the two aforementioned front faces of the capacitor chip object 10 which carry out opposite, and it constitutes a predetermined capacitor circuit.

[0015] The <dielectric-layer 2> dielectric layer 2 contains a magnesium oxide, manganese oxide, at least one sort chosen from a barium oxide and a calcium oxide, and silicon oxide as a barium titanate and an accessory constituent as a principal component. a barium titanate -- $BaTiO_3$ a magnesium oxide -- MgO -- manganese oxide -- MnO -- a barium oxide -- BaO -- a calcium oxide -- CaO -- silicon oxide -- SiO_2 When it converts, respectively The ratio of each compound in a dielectric layer receives $BaTiO_3$ 100 mol. $MgO:0.1-3$ mol, desirable -- $0.5-1.5$ mols and $MnO:0.05-1.0$ mol -- desirable -- $0.2-0.4$ mols, $BaO+CaO:2-12$ mol, and SiO_2 : It is 2-12 mols.

[0016] ($BaO+CaO$) / SiO_2 Although not limited especially, being referred to as 0.9-1.1 is usually desirable. BaO , CaO , and SiO_2 y (Ba calcium $1-x$ O) and SiO_2 It may be contained by carrying out. In this case, in order to obtain a precise sintered compact, it is desirable to be referred to as $0.3 \leq x \leq 0.7$ and $0.95 \leq y \leq 1.05$. (Ba calcium $1-x$ O) y and SiO_2 A content is 4 - 6 % of the weight more preferably one to 10% of the weight to the sum total of $BaTiO_3$, and MgO and MnO . In addition, the content of the metallic element which especially the oxidation state of each oxide is not limited,

but constitutes each oxide should just be the above-mentioned range.

[0017] In a dielectric layer 2, it is BaTiO₃. It is Y₂O₃ to 100 mols of converted barium titanates. It is desirable that convert and a yttrium oxide one mol or less is contained as an accessory constituent. Y₂O₃ Although there is especially no minimum of a content, in order to realize sufficient effect, it is desirable that 0.1 mols or more are contained. When a yttrium oxide is included, they are y (Bax calcium_{1-x} O) and SiO₂. A content is BaTiO₃, MgO, MnO, and Y₂O₃. It is 4 - 6 % of the weight more preferably one to 10% of the weight to the sum total.

[0018] In addition, although other compounds may be contained in the dielectric layer 2, since cobalt oxide increases capacity rate of change, not being contained substantially is desirable [cobalt oxide].

[0019] The reason for limitation of the content of each above-mentioned accessory constituent is as follows.

[0020] It cannot consider as the range of the request of the temperature characteristic of capacity by the content of a magnesium oxide being under the aforementioned range. If the content of a magnesium oxide exceeds the aforementioned range, a degree of sintering gets worse rapidly, precise-izing will become inadequate, and IR accelerated aging will fall, and high specific inductive capacity will not be obtained.

[0021] Good reducing one-proof is not obtained as the content of manganese oxide is under the aforementioned range, but IR accelerated aging becomes inadequate, and it loses. It becomes difficult to make tandelta low. When the content of manganese oxide is over the aforementioned range, it becomes difficult to make small aging of the capacity at the time of direct-current electric-field impression.

[0022] BaO+CaO, and y (Bax calcium_{1-x} O) and SiO₂ If there are too few contents, aging of the capacity at the time of direct-current electric-field impression will become large, and IR accelerated aging will become inadequate. [SiO₂ and] If there are too many contents, the rapid decline in specific inductive capacity will take place.

[0023] A yttrium oxide has the effect which raises IR accelerated aging. When the content of a yttrium oxide exceeds the aforementioned range, electrostatic capacity decreases, and a degree of sintering falls, and there is a bird clapper that precise-izing is inadequate.

[0024] Moreover, the aluminum oxide may contain in the dielectric layer. An aluminum oxide has the operation which enables sintering at low temperature comparatively. aluminum 2O₃ As for the content of the aluminum oxide when converting, it is desirable to carry out to 1 or less % of the weight of the whole dielectric materials. If there are too many contents of an aluminum oxide, the problem of checking sintering conversely will be produced.

[0025] In this invention, the dielectric layer has the so-called core-shell structure. That is, it has the structure where the grain boundary (shell) of a low dielectric constant phase encloses the circumference of the crystal grain (core) of a high dielectric constant phase. BaO, TiO₂, MnO, CaO, etc. usually contain in a core -- having -- shell -- usually -- CaO, TiO₂, BaO, SiO₂, MnO, MgO, and Y₂O₃ etc. -- it is contained

[0026] By considering as the above-mentioned composition, although especially the diameter of average crystal grain of a dielectric layer is not limited, detailed crystal grain is obtained and the diameter of average crystal grain is usually 0.2-0.7 micrometers. It becomes a grade. Moreover, the average width of face of shell is 0.02-0.2 micrometers. It is a grade.

[0027] Although the Curie temperature of a dielectric layer can be suitably set up by choosing composition according to the specification applied, generally it usually makes 85 degrees C or more about 120-135 degrees C.

[0028] The thickness of a dielectric layer which is a hit much more is 100 micrometers. It is especially 50 micrometers hereafter. The following and further 2-20 micrometers It considers as a grade. this invention is effective in aging prevention of the capacity of the laminating type ceramic chip capacitor which has such a dielectric layer that carried out lamination. In addition, the number of laminatings of a dielectric layer is usually made about into two to 200.

[0029] Although especially the electric conduction material contained in the <internal-electrode layer 3> internal-electrode layer 3 is not limited, since dielectric-layer 2 component has reducing one-proof, base metal can be used. As a base metal used as electric conduction material, nickel or nickel alloy is desirable. As a nickel alloy, the alloy of one or more sorts of elements and nickel which are chosen from Mn, Cr, Co, and aluminum is desirable, and, as for nickel content in an alloy, it is desirable that it is 95 % of the weight or more.

[0030] In addition, in nickel or nickel alloy, various minor constituents, such as P, may be contained about 0.1 or less % of the weight.

[0031] Internal-electrode layer thickness is usually 1-5 micrometers, although what is necessary is to just be suitably determined according to a use etc. It is 2-3 micrometers especially. It is desirable that it is a grade.

[0032] Although especially the electric conduction material contained in the <external electrode 4> external electrode 4 is not limited, cheap nickel, Cu(s), and these alloys can be used in this invention.

[0033] The thickness of an external electrode is usually 10-50 micrometers, although what is necessary is to just be suitably determined according to a use etc. It is desirable that it is a grade.

[0034] The laminating type ceramic chip capacitor of the [manufacture method of laminating type ceramic chip

capacitor] this invention is manufactured by printing or imprinting and calcinating an external electrode, after producing a green chip by usual print processes and the usual sheet method for having used the paste and calcinating this.

[0035] The paste for <paste for dielectric layers> dielectric layers kneads a dielectric raw material and an organic vehicle, and is manufactured.

[0036] Although the mixture of the above-mentioned multiple oxide and the above-mentioned oxide can be used for a dielectric raw material, it can choose from the various compounds used as the multiple oxide described above by baking, or an oxide, for example, a carbonate, an oxalate, a nitrate, a hydroxide, an organometallic compound, etc. suitably, it can mix, and can use. What is necessary is just to determine that the content of each compound in a dielectric raw material will serve as composition of a dielectric layer described above after baking.

[0037] A dielectric raw material is usually 0.1-1 micrometer of mean particle diameters. It is used as powder of a grade.

[0038] With an organic vehicle, a binder is dissolved into the organic solvent. What is necessary is not to limit especially the binder used for an organic vehicle, but just to choose it from the various usual binders, such as an ethyl cellulose, suitably. Moreover, what is necessary is not to limit especially the organic solvent to be used, either but just to choose print processes, the sheet method, etc. from various organic solvents, such as a terpineol, a butyl carbitol, an acetone, and toluene, suitably according to the method of using.

[0039] The paste for <paste for internal-electrode layers> internal-electrode layers kneads and prepares the various oxides used as the electric conduction material which consists of the various above-mentioned conductive metals or an alloy, or the electric conduction material described above after baking, an organometallic compound, resinate, etc. and the above-mentioned organic vehicle.

[0040] What is necessary is just to prepare the paste for <paste for external electrodes> external electrodes like the above-mentioned paste for internal-electrode layers.

[0041] <Organic vehicle content> What is necessary is for there to be especially no limit in the content of the organic vehicle under each above-mentioned paste, and to make the usual content, for example, a binder, and just to make a solvent into about 10 - 50 % of the weight about 1 to 5% of the weight. Moreover, during each paste, the additive chosen from various dispersants, a plasticizer, a dielectric, an insulator, etc. if needed may contain. As for these total contents, it is desirable to consider as 10 or less % of the weight.

[0042] When using <green chip production> print processes, after carrying out laminating printing on substrates, such as PET, and cutting the paste for dielectric layers, and the paste for internal-electrode layers in a predetermined configuration, it exfoliates from a substrate and they are considered as a green chip.

[0043] Moreover, when using the sheet method, after forming a green sheet using the paste for dielectric layers and printing the paste for internal-electrode layers on this, the laminating of these is carried out and it considers as a green chip.

[0044] Although what is necessary is just to perform ** binder processing performed before <** binder processing> baking on condition that usual, when using base metal, such as nickel and nickel alloy, for the electric conduction material of an internal-electrode layer, it is desirable to carry out on condition that the following especially. programming-rate: -- 5-300 degrees C/hour -- especially -- 10-100 degree-C/hour retention-temperature:200-400 degree C -- especially -- 250-300-degree-C temperature holding-time:0.5 - 24 hours -- especially -- the inside of 5 - 20-hour atmosphere:air -- [0045] Although the atmosphere at the time of <baking> green chip baking should just be suitably determined according to the kind of electric conduction material under paste for internal-electrode layers, when using base metal, such as nickel and nickel alloy, as electric conduction material, the oxygen tension in a firing environments is 10-8 to 10-12. Considering as atmospheric pressure is desirable. The electric conduction material of an internal-electrode layer causes unusual sintering as oxygen tension is under the aforementioned range, and there is way piece *****. Moreover, when oxygen tension exceeds the aforementioned range, it is in the inclination for an internal-electrode layer to oxidize.

[0046] Moreover, as for especially the retention temperature at the time of baking, it is desirable to consider as 1250-1300 degrees C 1200-1400 degrees C. If precise-izing is inadequate in a retention temperature being under the aforementioned range and the aforementioned range is exceeded, aging of the capacity at the time of direct-current electric-field impression will become large.

[0047] As for various conditions other than the above-mentioned condition, it is desirable to perform it as follows. programming-rate: -- 50-500 degrees C/hour -- especially -- 200-300-degree-C [/] hour temperature holding-time:0.5 - 8 hours -- especially -- 1 - 3-hour cooling rate: -- especially 200-300-degree-C [/] firing environments makes a reducing atmosphere 50-500 degrees C /an hour an hour -- desirable -- as a controlled atmosphere -- N2 H2 It is desirable to humidify and use mixed gas.

[0048] When it calcinates in a <annealing> reducing atmosphere, it is desirable that annealing is given to a capacitor chip object. Annealing is processing for reoxidating a dielectric layer, and, thereby, can lengthen IR accelerated aging remarkable.

[0049] As for especially the oxygen tension in annealing atmosphere, it is desirable to consider as 10-5 - 10-4 atmospheric pressure 10 to 6 or more atmospheric pressure. When reoxidation of a dielectric layer is difficult in oxygen tension being under the aforementioned range and the aforementioned range is exceeded, it is in the inclination for an internal-electrode layer to oxidize.

[0050] As for especially the retention temperature in the case of annealing, it is desirable to consider as 500-1000 degrees C 1100 degrees C or less. It is in the inclination for oxidizing [of a dielectric layer] to become that a retention temperature is under the aforementioned range inadequate, and for a life to become short, and if the aforementioned range is exceeded, an internal-electrode layer will oxidize, and it reacts with the dielectric voxel ground and capacity not only falls, but is in the inclination for a life to also become short. In addition, annealing may consist of only a temperature up and a temperature fall. In this case, the temperature holding time is zero and retention temperatures are a maximum temperature and hormony.

[0051] As for various conditions other than the above-mentioned condition, it is desirable to perform it as follows. temperature holding-time: -- 0 - 20 hours -- especially -- 6 - 10-hour cooling rate: -- N2 especially humidified in the gas for 100-300-degree-C [/] atmosphere an hour an hour 50-500 degrees C /It is desirable to use gas etc.

[0052] In addition, it sets to ** binder processing, above-mentioned baking, and above-mentioned annealing, and is N2. What is necessary is just to use WETTA etc., in order to humidify gas, mixed gas, etc. In this case, about 5-75 degrees C of water temperature are desirable.

[0053] Even if it carries out continuously, you may perform ** binder processing, baking, and annealing independently.

[0054] When these are performed continuously, it calcinates by having changed [without cooling] atmosphere and carried out the temperature up to the retention temperature in the case of baking continuously, it subsequently cools and the retention temperature of annealing is reached after ** binder processing, it is desirable to change atmosphere and to perform annealing.

[0055] Moreover, when performing these independently, baking is faced, and it is N2 to the retention temperature at the time of ** binder processing. Gas or N2 humidified After it is desirable to change atmosphere and to continue a temperature up further, after carrying out a temperature up under gas atmosphere and it cools to the retention temperature at the time of annealing, it is N2 again. Gas or N2 humidified It is desirable to change into gas atmosphere and to continue cooling. Moreover, annealing is faced and it is N2. N2 which could change atmosphere and humidified all the processes of annealing after carrying out a temperature up to a retention temperature under gas atmosphere It is good also as a gas atmosphere.

[0056] <External electrode formation> End-face polish is given with barrel finishing, sandblasting, etc., it prints or imprints on the capacitor chip object acquired as mentioned above, the paste for external electrodes is calcinates on it, and the external electrode 4 is formed. As for the baking conditions of the paste for external electrodes, it is desirable to consider as for [10 minutes] - about 1 hour at 600-800 degrees C.

[0057] And an enveloping layer is formed in external electrode 4 front face with plating etc. if needed.

[0058] Thus, the laminating type ceramic chip capacitor of the manufactured this invention is mounted on a printed circuit board etc. with a pewter etc., and is used for various electronic equipment etc.

[0059] And in the dielectric layer of the laminating type ceramic chip capacitor of this invention, it is 0.02v/micrometer at the time of use. Above It is 0.2v/micrometer especially. It is 0.5 morev/micrometer above. Generally it is 5v/micrometer above. Although the direct-current electric field below a grade and the alternating current component usually superimposed on this are impressed, even if it carries out the load of such direct-current electric field, there is very little aging of capacity.

[0060]

[Example] Hereafter, the concrete example of this invention is given and this invention is further explained to a detail.

[0061] Each following paste was prepared.

paste particle size for dielectric layers of 0.1-1 micrometer BaTiO₃, 4 (MgCO₃), Mg(OH)₂ and 5H₂O, MnCO₃, SiO (Ba0.5 calcium0.5)3, and Y₂O₃ from -- wet blending of the selected material powder was carried out with the ball mill for 16 hours, and subsequently it was made to dry by the spray dryer, and considered as the dielectric raw material. The mixed ratio of each powder was changed and two or more dielectric raw materials were produced.

[0062] Each dielectric raw material 100 weight section, and the acrylic resin 4.8 weight section, the methylene-chloride 40 weight section, the trichloroethane 20 weight section, the mineral spirit 6 weight section and the acetone 4 weight section were mixed and pasted with the ball mill.

[0063] 0.8 micrometers of paste mean particle diameters for internal-electrode layers The nickel particle 100 weight section, and the organic vehicle (what dissolved the ethyl-cellulose resin 8 weight section in the butyl carbitol 92 weight section) 40 weight section and the butyl carbitol 10 weight section were kneaded with 3 rolls, and were pasted.

[0064] 0.5 micrometers of paste mean particle diameters for external electrodes The Cu particle 100 weight section, and the organic vehicle (what dissolved the ethyl-cellulose resin 8 weight section in the butyl carbitol 92 weight section) 35 weight section and the butyl carbitol 7 weight section were kneaded and pasted.

[0065] The laminating type ceramic condenser of composition of being shown in drawing 1 was produced using each above-mentioned paste for dielectric layers, and the above-mentioned paste for internal-electrode layers.

[0066] First, the green sheet was produced on the PET film using the paste for dielectric layers, and the paste for internal-electrode layers was printed on this. Subsequently, from the PET film, it exfoliated and the laminating of the sheet was carried out, pressurization adhesion was carried out and the green chip was obtained. The number of laminatings was made into four layers.

[0067] Subsequently, the green chip was cut in predetermined size, ** binder processing, baking, and annealing were continuously performed on condition that the following, and the capacitor chip object was produced.

[0068] ** binder processing programming-rate: -- 15-degree-C [/] hour retention-temperature: -- 280-degree-C temperature holding-time: -- 8-hour controlled-atmosphere: -- the inside of air -- [0069] baking programming-rate: -- 200-degree-C [/] hour retention-temperature: -- 1300-degree-C temperature holding-time: -- 2-hour cooling rate: -- 300-degree-C [/] hour controlled-atmosphere: -- N2 humidified H2 mixed-gas oxygen tension: -- 10-9 atmospheric pressure [0070] annealing retention-temperature: -- 900-degree-C temperature holding-time: -- 9-hour cooling rate: -- 300-degree-C [/] hour controlled-atmosphere: -- N2 humidified gas oxygen tension: -- 10-5 atmospheric pressure

[0071] In addition, water temperature was made into 35 degrees C at humidification of each controlled atmosphere using WETTA.

[0072] After grinding the end face of the acquired capacitor chip object with sandblasting, the above-mentioned paste for external electrodes is imprinted to the aforementioned end face, and it is N2+H2. It calcinated for 10 minutes at 800 degrees C in atmosphere, the external electrode was formed, and the laminating type ceramic chip-capacitor sample was obtained.

[0073] thus, the size of each manufactured sample -- 3.2mmx1.6mmx1.2mm -- it is -- the thickness of a dielectric layer -- 15 micrometers internal-electrode layer thickness -- 2.5 micrometers it was .

[0074] Composition of the dielectric layer of each sample is shown in the following table 1. These composition was computed in accordance with the criteria mentioned above. SiO(Ba, calcium) 3 [in addition,] in Table 1 SiO (Ba0.5 calcium0.5)3 it is .

[0075] The following measurement was performed about each sample. A result is shown in Table 1.

[0076] The temperature-characteristic X7R property of capacity: By the LCR meter, it is measurement voltage 1V about -55-125 degrees C. Capacity was measured and it investigated whether capacity rate of change would satisfy less than (25 degrees C of reference temperature) **15%. The case of being satisfied was made as O and the case of not being satisfied was made into x.

[0077] 1 micrometer in thickness of the aging dielectric layer of the capacity under direct-current electric field Hit 1.06V Direct-current electric field (applied-voltage 16V to a sample) are impressed at 40 degrees C for 66 hours, subsequently, after leaving it at a room temperature in unladen for 24 hours, capacity is measured and it asks for variation deltaC from the capacity C0 before direct-current electric-field impression (initial capacity), and it is rate-of-change deltaC/C0. It computed. In addition, capacity was measured on the above-mentioned conditions.

[0078] It is 10v/micrometer in 180 degrees C of accelerated aging of insulation resistance IR. An accelerated test is performed under electric field and resistance (IR) is 2x105. Time until it becomes below omega was made into the lifetime.

[0079] The specific inductive capacity in the specific inductive capacity of epsilon25 degrees C was measured.

[0080]

[Table 1]

サンプル No.	誘電体層組成				温度 特性 X7R	IR加速 △C/C ₀ (%)	寿 命 (時間)	ε_s (25 °C)
	MgO (モル)	MnO (モル)	(Ba, Ca) (wt%)	SiO ₃ (モル)				
1	1	0.375	5	0	○	-1.42	2.7	2871
2	1	0.375	5	0.04	○	-1.58	5.0	2729
3	1	0.375	5	0.09	○	-1.23	11.3	2565
4	1	0.375	5	0.18	○	-1.58	13.9	2495
5	1	0.375	5	0.27	○	-1.85	27.3	2530
6	1	0.19	5	0	○	-0.65	5.0	2758
7	1	0.19	5	0.04	○	-0.85	5.2	2663
8	1	0.19	5	0.09	○	-1.13	4.2	2670
9	1	0.19	5	0.18	○	-0.43	9.7	2760
10	1	0.19	5	0.27	○	-0.16	14.9	2652
11	1.2	0.375	5	0	○	-0.06	2.2	2952
12	1.2	0.375	5	0.04	○	-0.25	7.6	2772
13	1.2	0.375	5	0.09	○	-0.71	6.0	2895
14	1.2	0.375	5	0.18	○	-2.44	15.3	2542
15	1.2	0.375	5	0.27	○	-2.75	34.3	2359
16 (比較)	0*	0.1	5	0.2	×	-5.11	1.0	5241
17 (比較)	1	0*	5	0.2	×	-0.52	0.1	3218
18 (比較)	1	2*	5	0.2	○	-5.77	5.4	2153
19 (比較)	1	0.1	0*	0.2	×	-8.38	0	4827

* : 本発明範囲を外れる組成

[0081] From the result shown in Table 1 to a book That is, with the sample whose composition of a dielectric layer is within the limits of this invention, X7R property is satisfied, the rate of aging of the capacity under direct-current electric field is very as low as 10% or less, and the life of the insulation resistance IR in an accelerated test is long. And Y₂O₃ Addition shows that IR accelerated aging improves remarkably. Moreover, as for this invention sample of Table 1, the temperature characteristic of electrostatic capacity was satisfied [with B weighting [-25-85 degree C] of less than (20 degrees C of reference temperature) **10% [of capacity rate of change]].

[0082] The scanning-electron-microscope photograph of the dielectric-layer cross section of sample No.16 of sample No.1 and the example of comparison of this invention is shown in drawing 2 and drawing 3, respectively. These photographs carried out mirror polishing of the cross section, and after they *****ed with the mixed-water solution of a fluoric acid-nitric acid, they photoed it. sample No.16 (drawing 3) which are an example of comparison - - the diameter of average crystal grain -- about 1 micrometer the average width of face of the grain boundary -- about 0.2 micrometers it is -- although -- sample No.1 (drawing 2) of this invention -- the diameter of average crystal grain - - about 0.5 micrometers the average width of face of the grain boundary -- about 0.2 micrometers It is fine. In addition, the same relation was found about other comparison samples and this invention samples which are shown in Table 1.

[0083] Moreover, the transmission-electron-microscope photograph of the dielectric layer of sample No.16 of the example of comparison was taken before the above-mentioned direct-current electric-field impression and after impression. The photograph before impression is shown in drawing 4 , and the photograph after impression is shown in drawing 5 , respectively. Drawing 4 and drawing 5 show that domains are decreasing in number by impression of direct-current electric field.

[0084]

[Effect of the Invention] It can be satisfied [with this invention] of X7R property and the B weighting about the temperature characteristic of capacity by considering a dielectric layer as predetermined composition, and accelerated aging of insulation resistance IR can realize a long laminating type ceramic chip capacitor small [aging of the capacity under direct-current electric field].

[Translation done.]

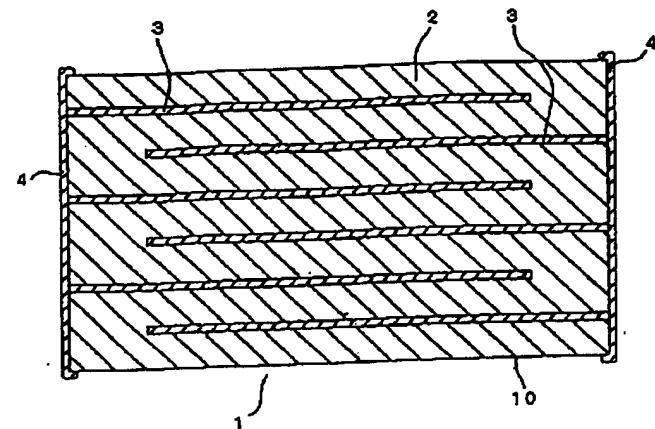
* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

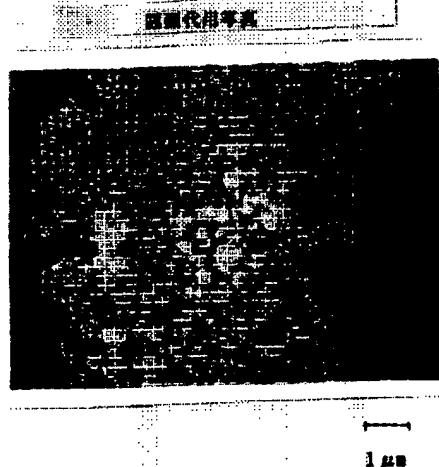
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

[Drawing 1]

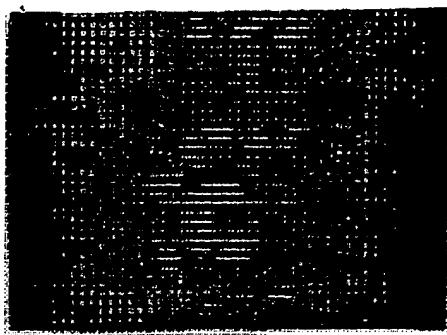


[Drawing 2]



[Drawing 3]

圖面代用寫真



1 μm

等 真

[Drawing 4]

圖面代用寫真



200 nm

[Drawing 5]

圖面代用寫真



200 nm

等 真

[Translation done.]